

80/566408

IAP20 Rec'd PCT/PTO 26 JAN 2006

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2003年 7月28日

出 願 番 号
Application Number:

特願2003-202664

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
号

the country code and number
of your priority application,
which may be used for filing abroad
under the Paris Convention, is

J P 2003-202664

願 人
Applicant(s):

オリンパス株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

BEST AVAILABLE COPY

2005年10月20日

特許庁長官
Commissioner,
Japan Patent Office

中 嶋 誠



出証番号 出証特2005-3088164

【書類名】 特許願

【整理番号】 03P00366

【提出日】 平成15年 7月28日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/907
H04N 5/335

【発明の名称】 画像処理装置及び画像処理方法

【請求項の数】 13

【発明者】

 【住所又は居所】 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリジナル光学
工業株式会社内

 【氏名】 日暮 正樹

【発明者】

 【住所又は居所】 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリジナル光学
工業株式会社内

 【氏名】 古川 英明

【発明者】

 【住所又は居所】 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリジナル光学
工業株式会社内

 【氏名】 上野 晃

【特許出願人】

 【識別番号】 000000376

 【住所又は居所】 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号

 【氏名又は名称】 オリジナル光学工業株式会社

【代理人】

 【識別番号】 100076233

 【弁理士】

 【氏名又は名称】 伊藤 進

【手数料の表示】

【予納台帳番号】 013387

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9101363

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置及び画像処理方法

【特許請求の範囲】

【請求項 1】 画像データに対して歪補正処理を行う歪補正手段を有する画像処理装置において、

前記歪補正手段は、

前記画像データの一部を格納するメモリ部と、

前記メモリ部に対するデータの書き込みおよび読み込みを制御するメモリ制御部と、

を有し、

前記メモリ部から読み出した画像データに対する補間演算を行うことを特徴とする画像処理装置。

【請求項 2】 前記メモリ制御部は、

前記メモリ部への書き込みの際は、列方向に一行に並んだ一定数分の画素からなる画像データ（ユニットライン：UL）を単位として書き込むように制御し、前記メモリ部からの読み出しの際は、歪補正処理後の画像が前記ULを単位として出力されるように、前記メモリ部に格納された画像データに対して読み出し制御することを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】 前記メモリ制御部は、前記ULの最初に処理される画素の座標位置に対して、行方向に対して前側および後側に所定幅の領域（それぞれpreULB、postULB）を設け、前記ULの処理中は他の処理によって前記領域が上書きされないよう制御することを特徴とする請求項 2 に記載の画像処理装置。

【請求項 4】 前記メモリ制御部は、さらに、

前記ULの処理中に、前記歪補正手段の前段からのデータを入力するために開放可能なバッファ量を算出するバッファ開放量算出回路と、

前記歪補正手段の後段に対するデータ送信の可否を判定するデータ送信可否判定回路とを有し、

前記バッファ開放量算出回路には、前記ULの処理における最初の画素に対す

る補間座標を中心として前記 `postULB` が入力され、データ送信可否判定回路には前記 `preULB` が入力され、バッファ開放量算出回路は前記バッファ開放量を前記 `postULB` の値を参照して算出し、データ送信可否判定回路は前記 `preULB` の値を参照してデータ送信可否の判定を行うことを特徴とする請求項 2 又は 3 に記載の画像処理装置。

【請求項 5】 前記 `preULB` 値、`postULB` 値は、それぞれ歪中心に対して前側と後側とで異なる値を設定可能であることを特徴とする請求項 3 又は 4 に記載の画像処理装置。

【請求項 6】 前記画像処理装置は、さらにバッファの空き領域を検出するバッファ空き容量監視回路を有し、

該バッファ空き容量監視回路によりバッファ内の空き領域が検出されると、該空き領域へのデータの書き込みを可能とすることを特徴とする請求項 1～4 のいずれか 1 つに記載の画像処理装置。

【請求項 7】 前記メモリ部は、データのリード動作とライト動作が同時に可能な複数のメモリからなり、

前記メモリ制御部は、さらに、

前記メモリ部へのデータ書き込み制御を行う書き込みアドレス生成回路と、

前記メモリ部に格納されている画像データから補間演算に必要なデータを同時に読み出すためのアドレスを生成する読出しアドレス生成回路と、
を有し、

前記データ書き込み制御は、同時に読み出すデータをそれぞれ異なるメモリに書き込むものであることを特徴とする請求項 1 に記載の画像処理装置。

【請求項 8】 前記画像処理装置は、さらに、歪補正処理された座標が前記 `UL` の処理における最初の画像に対する補間座標に対し、列方向に前記 `preULB`、`postULB` を逸脱する座標が生成された時、若しくは、歪補正された座標が前段から入力されない座標となった時にエラーを検出して出力するエラー検出回路を有することを特徴とする請求項 3～5 のいずれか 1 つに記載の画像処理装置。

【請求項 9】 前記エラー出力がなされたときはレジスタを再設定して画像処

理を再実行することが可能であることを特徴とする請求項 3～5 のいずれか 1 つに記載の画像処理装置。

【請求項 10】 1UL の処理終了後、次の 1UL またはさらにその次の 1UL の処理を開始する際の最初の補間座標が演算された後に 1UL 単位の処理を終了することを特徴とする請求項 2～6 のいずれか 1 つに記載の画像処理装置。

【請求項 11】 画像データに対して歪補正処理を行う画像処理方法において

前記歪補正処理を行うに際は、データの書き込みおよび読み込みが制御されるメモリ部に、前記画像データの一部を格納し、該メモリ部から読み出した画像データに対して補間演算を行うことを特徴とする画像処理方法。

【請求項 12】 前記画像処理装置は、さらに、前記歪補正手段が歪補正処理を行う入力画像範囲を算出する歪補正範囲算出部を有すること、を特徴とする請求項 3～5 のいずれか 1 つに記載の画像処理装置。

【請求項 13】 前記歪補正範囲算出部は、所定の歪補正式を適用して座標変換可能であり、歪補正後の出力画像範囲において、

周辺 4 辺の各辺に対応する画素を座標変換して生成した変換座標の最大値と最小値、および 4 頂点に対応する画素を座標変換して生成した変換座標、の少なくともいずれかを算出し、前記 preULB および postULB は、前記歪補正範囲算出部の出力結果から算出すること、を特徴とする請求項 12 記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、主に、デジタルカメラ等の電子的撮像装置に用いられる画像処理装置及び画像処理方法に関し、特に、回路規模やデータ転送量を増大させることなく、歪補正機能を実現する画像処理装置及び画像処理方法に関する。

【0002】

【従来の技術】

デジタルカメラ、銀塩カメラを問わず、一般的にカメラの光学系においては歪

曲収差が現れる。また、現在発売されているカメラでは、光学ズームが可能な機種が殆どであり、その場合、ワイド端からテレ端にかけて、歪曲収差の状態が変化する。ワイド端では樽型歪が多く、テレ端では糸巻き型歪が多い。

【0003】

歪曲収差は、例えば格子状の被写体を撮影すると、樽型歪、糸巻き型歪として観測される。

【0004】

図23 (a)は格子状の被写体、(b)は樽型歪を生じた撮影画像、(c)は糸巻き型歪を生じた撮影画像である。

【0005】

ところで、デジタルカメラにおいては、CCD等の撮像素子のデータに対し、様々な画像処理を行なった後、JPEG等の圧縮方式で圧縮したデータをメモリカード等の記録媒体に記録する。

【0006】

図24 (a)は一般的なデジタルカメラで行われている画像処理手順の概念を示している。CCDから取り込まれた撮像信号は、プリプロセスで画素欠陥処理やA/D変換等の処理が行われ、SDRAM等のフレームメモリに記憶される。次に、フレームメモリに記憶された画像データが読み出されて、イメージプロセス1、イメージプロセス2、…、イメージプロセスNにより各種の画像処理が行われる。画像処理後の画像データは、さらにJPEG等の圧縮方式で圧縮されて、記録媒体としてのメモリカード等へ記録される。

【0007】

図24 (b)は従来のデジタルカメラの画像処理装置のブロック図（例えば特開2000-312327号公報での従来例）を示している。

【0008】

図24 (b)において、従来の画像処理装置は、バス103にCPU104と共にプリプロセス回路102、複数のイメージプロセス回路106-1～106-n、JPEG処理部107、フレームメモリ105及び記録媒体としてのメモリカード等108が接続されている。そして、CPU104の制御により、CCD101からの撮像信号がプリプロセス

回路102で画素欠陥処理やA/D変換等が施された後、バス103を通してフレームメモリ105に一旦記憶される。次に、フレームメモリ105から画像データを読み出し、バス103を通してイメージプロセス回路106-1に入力して所定の画像処理を行い、再びバス103を通してフレームメモリ105に書き直す。以下同様にして、バス103を介してフレームメモリ105とイメージプロセス回路106-2～106-nとの間でデータのやり取りを順次行って、最後にJ P E G 処理部107でJ P E G 圧縮処理を行い、画像処理したデータをフレームメモリ105に一旦記憶し、フレームメモリ105から読み出した処理データをメモリカード等108に記録するようになっている。以上の各段のイメージプロセス及びJ P E G 処理では、小領域（ブロックライン）を単位として画像処理が行われる。

【0 0 0 9】

一方、従来、この画像処理の一部として歪補正を行う先行技術が開示されている。例えば、特開 6 - 1 8 1 5 3 0 号公報、特開 1 0 - 2 2 4 6 9 5 号公報がある。

【0 0 1 0】

特開 6 - 1 8 1 5 3 0 号公報には、撮影時における撮像ズームレンズの撮像ポジションが歪曲収差の大きいポジション内であることが検出手段にて検出されている場合には、この撮像ズームレンズによって生じた像の幾何学的歪みを、固体撮像素子の撮像データを幾何学的変形に基づき読み出すことにより補正することが記載されている。

【0 0 1 1】

特開 1 0 - 2 2 4 6 9 5 号公報には、光学系を経由した光を受光する固体撮像デバイスで撮像したデータをランダムアクセスビデオメモリに記憶し、ランダム読み出しタイミング発生回路は光学系によって生ずる収差を補正するための収差補正データを有し、この収差補正データに基づいて固体撮像デバイスによって生成された信号を所定の順に読み出してビデオ信号を生成することで、光学系の歪曲収差を補正することが記載されている。

【0 0 1 2】

【特許文献 1】

特開 2000-312327 号公報（第 3 頁、図 19）

【0013】

【特許文献 2】

特開 6-181530 号公報（第 1, 2 頁、図 2）

【0014】

【特許文献 3】

特開 10-224695 号公報（第 1-3 頁、図 1）

【0015】

【発明が解決しようとする課題】

しかしながら、特許文献 1 の従来例では、フレームメモリと各イメージプロセス回路間のデータのやり取りが多く、バスのデータ転送量が増大する。

【0016】

特許文献 2 では、1 ラインを処理するのに、大容量バッファメモリが必要である。また、バッファメモリの容量で処理できる画像サイズが制限されてしまう。

【0017】

また、特許文献 3 では、ランダムアクセスで処理するのに、バッファメモリは必要ないが、一般的に SDRAM 等のランダムアクセスビデオメモリをランダムアクセスすると、転送時間がかかる。

【0018】

そこで、本発明は上記の問題に鑑み、バスの転送量やメモリの容量を大きく増大させることなく、歪補正処理を実現できる画像処理装置及び画像処理方法を提供することを目的とするものである。

【0019】

【課題を解決するための手段】

請求項 1 の発明は、画像データに対して歪補正処理を行う歪補正手段を有する画像処理装置において、前記歪補正手段は、前記画像データの一部を格納するメモリ部と、前記メモリ部に対するデータの書き込みおよび読み込みを制御するメモリ制御部と、を有し、前記メモリ部から読み出した画像データに対する補間演算を行うことを特徴とする。

【 0 0 2 0 】

この構成では、内部バッファとしてのメモリ部に画像データの一部を格納して、そのデータを利用して歪補正処理のための補間演算を行うことができる。

【 0 0 2 1 】

請求項 2 の発明は、請求項 1 の画像処理装置において、前記メモリ制御部は、前記メモリ部への書き込みの際は、列方向に一行に並んだ一定数分の画素からなる画像データ（ユニットライン：UL）を単位として書き込むように制御し、前記メモリ部からの読み出しの際は、歪補正処理後の画像が前記ULを単位として出力されるように、前記メモリ部に格納された画像データに対して読み出し制御することを特徴とする。

【 0 0 2 2 】

この構成では、メモリ部に対してULを単位として書き込み、読み出しを行うので、メモリ部のバッファ容量としては光学的歪量に応じて数UL分、すなわち少なくとも1UL分の容量があればよく、バスの転送量やメモリの容量を大きく増大させることなく、歪補正を実現できる。

【 0 0 2 3 】

請求項 3 の発明は、請求項 2 の画像処理装置において、前記メモリ制御部は、前記ULの最初に処理される画素の座標位置に対して、行方向に対して前側および後側に所定幅の領域（それぞれpreULB、postULB）を設け、前記ULの処理中は他の処理によって前記領域が上書きされないよう制御することを特徴とする。

【 0 0 2 4 】

この構成により、処理に必要なバッファとしてのメモリ部の前記preULB、postULBの領域のデータが上書きされないよう確保できる。

【 0 0 2 5 】

請求項 4 の発明は、請求項 2 又は 3 の画像処理装置において、前記メモリ制御部は、さらに、前記ULの処理中に、前記歪補正手段の前段からのデータを入力するために開放可能なバッファ量を算出するバッファ開放量算出回路と、前記歪補正手段の後段に対するデータ送信の可否を判定するデータ送信可否判定回路と

を有し、前記バッファ開放量算出回路には、前記ULの処理における最初の画素に対する補間座標を中心として前記postULBが入力され、データ送信可否判定回路には前記preULBが入力され、バッファ開放量算出回路は前記バッファ開放量を前記postULBの値を参照して算出し、データ送信可否判定回路は前記preULBの値を参照してデータ送信可否の判定を行うことを特徴とする。

【0026】

この構成により、処理に必要なバッファとしてのメモリ部を少ない容量で効率的に使用することができる。

【0027】

請求項5の発明は、請求項3又は4の画像処理装置において、前記preULB値、postULB値は、それぞれ歪中心に対して前側と後側とで異なる値を設定可能であることを特徴とする。

【0028】

この構成では、図14のように、歪中心の左右ではpreULB、postULBの値が異なることに基づいて、これらの値を、どちらにも対応できるよう、図15のように大きく取ると、処理に必要なバッファを広く確保しておかなければならず、バッファの無駄である。歪中心前後でpreULB、postULBを変化することにより、内部バッファの使い方に無駄をなくし、小さなバッファ容量で比較的大きな歪補正を行うことが可能となる。

【0029】

請求項6の発明は、請求項1～4のいずれか1つの画像処理装置において、前記画像処理装置は、さらにバッファの空き領域を検出するバッファ空き容量監視回路を有し、該バッファ空き容量監視回路によりバッファ内の空き領域が検出されると、該空き領域へのデータの書き込みを可能とすることを特徴とする。

【0030】

この構成により、データ出力中に入力も可能なパイプライン的な動作を可能とする。

【0031】

請求項 7 の発明は、請求項 1 の画像処理装置において、前記メモリ部は、データのリード動作とライト動作が同時に可能な複数のメモリからなり、前記メモリ制御部は、さらに、前記メモリ部へのデータ書込み制御を行う書込みアドレス生成回路と、前記メモリ部に格納されている画像データから補間演算に必要なデータを同時に読み出すためのアドレスを生成する読出しアドレス生成回路と、を有し、前記データ書込み制御は、同時に読み出すデータをそれぞれ異なるメモリに書き込むものであることを特徴とする。

【 0 0 3 2 】

この構成によれば、バッファ内にある画像データから、補間演算に必要なデータとして任意の座標の周辺の複数の画素（例えば、16 画素）情報を同時に読み出すことが可能となり、演算処理を速やかに行える。

【 0 0 3 3 】

請求項 8 の発明は、請求項 3 ～ 5 のいずれか 1 つの画像処理装置において、前記画像処理装置は、さらに、歪補正処理された座標が前記 U L の処理における最初の画像に対する補間座標に対し、列方向に前記 p r e U L B、p o s t U L B を逸脱する座標が生成された時、若しくは、歪補正された座標が前段から入力されない座標となった時にエラーを検出して出力するエラー検出回路を有することを特徴とする。

【 0 0 3 4 】

この構成では、パラメータの誤入力や、歪補正量の見積もりが過少だった時にエラー検出回路が検知して C P U に知らせる。特に、p r e U L B、p o s t U L B の設定オーバー（図 1 3 参照）については、事前に正確な見積もりを行えない場合があるので、オーバーする量を C P U に通知することで設定値を修正しやすくする。

【 0 0 3 5 】

請求項 9 の発明は、請求項 3 ～ 5 のいずれか 1 つの画像処理装置において、前記エラー出力がなされたときはレジスタを再設定して画像処理を再実行することが可能であることを特徴とする。

【 0 0 3 6 】

請求項 10 の発明は、請求項 2 ～ 6 のいずれか 1 つの画像処理装置において、1 UL の処理終了後、次の 1 UL またはさらにその次の 1 UL の処理を開始する際の最初の補間座標が演算された後に 1 UL 単位の処理を終了することを特徴とする。

【0037】

この構成では、1 UL 処理が終わった後に開放できるバッファの量は、次の UL 先頭座標が決まらなければ分からない（図 17 参照）ことを利用する。内部バッファは小さいので、使わなくなったデータが格納されている部分をできるだけ早くに開放する為、次の UL 先頭座標を算出して開放量を取得（図 18 参照）し、バッファを開放することで内部バッファを有効に利用することができる。

【0038】

請求項 11 の発明は、画像データに対して歪補正処理を行う画像処理方法において、前記歪補正処理を行うに際は、データの書き込みおよび読み込みが制御されるメモリ部に、前記画像データの一部を格納し、該メモリ部から読み出した画像データに対して補間演算を行うことを特徴とする。

【0039】

この方法では、内部バッファとしてのメモリ部に画像データの一部を格納して、そのデータを利用して歪補正処理のための補間演算を行うことができる。

【0040】

請求項 12 の発明は、請求項 3 ～ 5 のいずれか 1 つに記載の画像処理装置において、前記画像処理装置は、さらに、前記歪補正手段が歪補正処理を行う入力画像範囲を算出する歪補正範囲算出部を有することを特徴とする。

【0041】

請求項 13 の発明は、請求項 12 記載の画像処理装置において、前記歪補正範囲算出部は、所定の歪補正式を適用して座標変換可能であり、歪補正後の出力画像範囲において、周辺 4 辺の各辺に対応する画素を座標変換して生成した変換座標の最大値と最小値、および 4 頂点に対応する画素を座標変換して生成した変換座標、の少なくともいずれかを算出し、前記 pre ULB および post ULB は、前記歪補正範囲算出部の出力結果から算出することを特徴とする。

【 0 0 4 2 】

これらの構成では、前述した `pre, postULB` はレジスタに設定されるが、それらの値を生成するためには、歪の変形を考慮して画像データの入力範囲を算出可能とするサポート機能が必要となる。このサポート機能は、歪補正手段の歪補正処理機能に対して歪補正範囲算出部として設けられる。

【 0 0 4 3 】**【発明の実施の形態】**

発明の実施の形態について図面を参照して説明する。

図 1 は本発明の一実施の形態の画像処理装置の全体構成を示すブロック図である。図 2 は図 1 における歪補正処理部の構成を示すブロック図である。

【 0 0 4 4 】

図 1 の画像処理装置においては、バス 3 に接続された各部の制御を行う CPU 4 の制御により、CCD 1 からの撮像信号をプリプロセス回路 2 で画素欠陥処理や A/D 変換等を行い、得られた画像データを、バス 3 を介してフレームメモリ 5 に一旦記憶する。フレームメモリ 5 は、SDRAM 等で構成され、画像処理前のデータ及び画像処理後のデータを格納するメモリである。次いで、フレームメモリ 5 から読み出した画像データをバス 3 を介して、第 1 データ順序変換部 6 に入力する。第 1 データ順序変換部 6 は、後に図 2 6 (a) で説明するように、ブロック単位のデータを記憶可能なメモリを複数、ここでは 2 つ備えている。第 1 データ順序変換部 6 は、フレームメモリ 5 から行方向にデータを読み出して記憶した後、列方向にデータを順に読み出し、イメージプロセス回路 7 に出力する。

【 0 0 4 5 】

イメージプロセス回路 7 は入力したデータに対して所定の画像処理を行って次段の歪補正手段としての歪補正処理部 8 に転送する。歪補正処理部 8 は入力したデータに対して歪補正処理を行って次段の第 2 データ順序変換部 9 へ転送する。第 2 データ順序変換部 9 は、後に図 2 6 (b) で説明するように、ブロック単位のデータを記憶可能なメモリを複数、ここでは 2 つ備えている。第 2 データ順序変換部 9 は、歪補正処理部 8 から列方向にデータを読み出して記憶した後、行方向にデータを順に読み出し、JPEG 処理部 10 に転送する。そして、JPEG

処理部 10 で J P E G 圧縮処理を行い、処理データをフレームメモリ 5 に一旦記憶し、フレームメモリ 5 から読み出した処理データをメモリカード等 11 に記録するようになっている。

【0046】

歪補正処理部 8 は、図 2 に示すように、歪補正後の補正画像の位置（補間位置という、 X 、 Y ）とこれに対応した歪補正前の元の画像の位置（ X' 、 Y' ）を生成する補間座標生成部 81 と、歪補正処理部 8 の前段ブロックの回路からの画像データの一部を一時的に格納しておくバッファメモリ（以下、単にバッファ）としての内部メモリ部 82 と、その内部メモリ部 82 に対する書き込み及び読み出しの制御を行うメモリ制御部 83 と、変換した歪補正前の画像位置の座標（ X' 、 Y' ）に従って画像処理をしてデータの歪補正をする補間演算部 84 と、を有して構成されている。

【0047】

補間座標生成部 81 は、図 2 に示すように、補間座標（ X 、 Y ）を生成する座標生成部 811 と、生成された補間座標（ X 、 Y ）に対して所定の歪補正式[式 1]（後述する）を適用して変換した補正前の座標（ X' 、 Y' ）を出力する歪補正座標変換部 812 と、座標生成部 811 からの補間座標（ X 、 Y ）と歪補正座標変換部 812 からの変換座標（ X' 、 Y' ）とを選択的に出力可能なセクタ 813 と、で構成されている。歪補正処理部 8 における座標生成部 811、歪補正座標変換部 812、セクタ 813、メモリ制御部 83 については、制御データを格納した制御レジスタ 85 に設定された各ブロックに対する設定値に従って動作する。また、処理結果のステータスなどを CPU から参照することができる。

【0048】

以上のように構成された本発明による画像処理装置においては、上記第 1 データ順序変換部 6 から J P E G 処理部 10 までは、バス 3 を介することなく、該バス 3 とは異なる情報伝達経路でパイプライン処理可能なように接続されていて、画像データを、2 次元的な画素配列における所定のブロック単位で転送して処理するようになっている。このようにバス 3 を介したデータ転送は、フレームメモリ 5 から第 1 データ順序変換部 6 への転送と、J P E G 処理部 10 からフレーム

メモリ 5 への転送及びフレームメモリ 5 からメモリカード 11 への転送だけとなり、したがってフレームメモリと各イメージプロセス回路との間でデータのやりとりを行っていた従来例（図 24 (b)）と比べて、バス 3 によるデータ転送量を大幅に低減させることができ、バス 3 の負荷を大幅に軽減することが可能となる。また、この図 1 に示す例においては、画像処理を行うイメージプロセス回路 7 を 1 つのみ設けているが、複数あっても構わない。さらに、図では、イメージプロセス回路 7 の後段に歪補正処理部 8 が設けられているが、逆の構成であっても構わない。

【0049】

初段のイメージプロセス回路 7 と 2 段目のイメージプロセス回路である歪補正処理部 8 で構成されるイメージプロセス回路部では、各イメージプロセス回路 7, 8 の前段或いは内部にパイプラインレジスタとして、図示しない小容量のメモリが配置されていて、該小メモリを介して、各イメージプロセス回路 7, 8 がパイプライン処理動作を行うように構成されている。これらの小容量のメモリは、各イメージプロセス回路 7, 8 で空間的な画像処理を行う場合、画像処理に必要な周辺データの記憶をするために、また画像データをブロック単位で読み出して配列換えなどを行って処理する必要があるために、設けられている。

【0050】

イメージプロセス回路 7 からイメージプロセス回路 8 へのデータ転送は、後段のイメージプロセス回路である歪補正処理部 8 の内部メモリ部 82 に空きがあると、歪補正処理部 8 から前段のイメージプロセス回路 7 に対してリクエスト（REQ）を送信し、これに対して前段のイメージプロセス回路 7 からリクエスト受付（GRANT）を受信すると同時にバッファである内部メモリ部 82 の空き情報を 1 つ減らす。後段ブロックの歪補正処理部 8 でこのリクエストとリクエスト受付を繰り返し、空きが 0 になったらリクエストを取り下げる。後段ブロックである歪補正処理部 8 は、前段ブロックからのリクエスト受付（GRANT）と同時もしくはリクエスト受付（GRANT）の後に前段ブロックのイメージプロセス回路 7 からデータが流入し、内部メモリ部 82 へ書込みをする。複数段のイメージプロセス回路がパイプライン処理可能なように接続されている場合は、上記

のようにして前段から後段へデータが転送され、各イメージプロセス回路のメモリ部にデータが書き込まれ、所定の画像処理が行われた後、後段からのリクエストに基づいて前段ブロックから後段へと画像処理を行いながら順次データが転送されていくことになる。

【0051】

図3は歪補正処理部8における座標変換の概念図を示している。図3(a)は元データである撮像画像データ、同図(b)は補正画像、同図(c)は(b)の補正画像の座標位置 (X, Y) に対して(a)の元データの座標上に変換された座標位置Pでのデータの座標 (X', Y') （この座標は元データを実際に構成する複数の画素の位置には必ずしも正確には一致しない座標位置にある）を示している。そのP点での座標位置 (X', Y') はそのP点の周辺の画素16点の座標を使って算出されると共にP点での画像データはその周囲の前記16点の画素データを用いて補間演算される。補間演算部84にて点Pの位置のデータをその周囲の16点の画素値（輝度データ）から補間演算するべく処理が行われる。図2の補間位置生成部811で補間座標を生成するというのは、図3(b)の補正画像側でどこの画素位置 (X, Y) を指し示すか、ということである。

【0052】

[式1]では、歪補正後の画素位置 (X, Y) に対する歪補正前の画素位置 (X', Y') を算出することができる。但し、歪補正前の画素位置 (X', Y') は元画像データ上の画素位置に対応した整数値になるとは限らないことは前述した通りである。

【0053】

[式1]に従うと、図3(b)の座標 (X, Y) が同図(a)のように座標 (X', Y') に変換される。これにより、元データの中のどこの座標位置のデータを作成すれば、よいかを知ることができ、その位置 (X', Y') のデータを後述する16点補間処理を行う補間式[式2]を用いて周囲16点の既知の画素値（図5の黒丸印の入力画像データ）から算出して得ることができる。

【0054】

【式 1】

$$\begin{cases} \dot{X} = M \cdot (X - X_d) + (X_d + X_{\text{off}}) \\ \dot{Y} = M \cdot (Y - Y_d) + (Y_d + Y_{\text{off}}) \end{cases}$$

$$Z^2 = \{S_x \cdot (\dot{X} - X_d)\}^2 + \{S_y \cdot (\dot{Y} - Y_d)\}^2$$

$$\begin{cases} X' = (\dot{X} - X_d) \cdot [1 + A \cdot Z^2 + B \cdot Z^4 + C \cdot Z^6 + \dots] + X_d \\ Y' = (\dot{Y} - Y_d) \cdot [1 + A \cdot Z^2 + B \cdot Z^4 + C \cdot Z^6 + \dots] + Y_d \end{cases}$$

(X, Y)	: 補正画像内での座標
(X', Y')	: 撮影画像内での座標
(X_d, Y_d)	: 歪中心位置
$(X_{\text{off}}, Y_{\text{off}})$: 中心ずれ補正
M	: 範囲補正倍率
(S_x, S_y)	: サンプリング比
A, B, C, \dots	: 歪補正係数

[式 1]における Z は、歪中心 (X_d, Y_d) から今注目している点 (X, Y) までの距離である。[式 1]によって、補正画像の点 (X, Y) に対して歪んでいる元画像の方の座標 (X', Y') が算出される。[式 1]について補足説明すると、 M は光学系のデータを用いて理論的に補正した際、補正後に画像がはみ出したり、不足したりする現象を補正するための補正倍率である。 S_x, S_y は間引き取込みなど、縦横で空間的なサンプリング間隔が異なる現象の補正をするためのサンプリング比である。 $X_{\text{off}}, Y_{\text{off}}$ は歪補正処理によって、歪補正処理後に、被写体位置が撮影時の位置とはずれてしまう現象の補正をする中心ずれの値である。

【0055】

本発明に係る[式 1]では、高次項（具体的には Z^4, Z^6, \dots ）を考慮することとで、より複雑な陣笠型の歪（図 4 参照）にも対応できるようにしている。また、中心が一致していても撮像素子の一部しかデータを取り込まない場合や、光軸中心と撮像素子中心がずれている場合など、歪中心 (X_d, Y_d) を考慮する必

要がある。さらに、歪補正処理により被写体位置が撮影時の位置からずれる現象を補正するため、中心ずれ補正值 (X_{off} , Y_{off}) を考慮する必要がある。間引き取込みの場合や輝度データ (Y) と色データ (C_b , C_r) からなる YC 画像を処理する場合は、 X , Y で空間的なサンプリングが異なる。そこで係数としてサンプリング比 (S_x , S_y) を導入して、座標変換を補正するようにしている。

【0056】

次に、図 25, 図 26 を参照して画像データの書き込み及び読み出しの処理及び順序について説明する。

図 25 は、本実施の形態におけるフレームメモリからの画像データの読み出し順序を説明する図である。

【0057】

画像データは、通常は、ライン方向、つまり行方向にスイープさせて書き込まれていて、読み出し時は行方向に読み出されるようになっており、1 ラインの画像データを全て読み出して、次に隣接するラインの画像データを全て読み出すといった動作を繰り返して行うのが普通である。

【0058】

これに対して、本発明に係る画像処理装置は、行方向にスイープさせて書き込まれた画像データを、列方向にある一定の長さを単位に、行方向の画像データを順番にイメージプロセス部 7 に入力し、以降、順次隣の列をイメージプロセス部 7 に入力して、画像の右端まで繰り返して得られる小領域 (矩形状の画像データ) をブロックライン (BL) と呼ぶ。

【0059】

こうした画像データの読み出しを可能にするための第 1 データ順序変換部 6 と、第 2 データ順序変換部 9 との構成を、図 26 を参照して説明する。図 26 は、第 1, 第 2 データ順序変換部の構成を示すブロック図である。

【0060】

第 1 データ順序変換部 6 は、図 26 (a) に示すように、ブロック単位の画像データを記憶可能なメモリを複数、ここでは 2 つ備えており、この 2 つのメモリ 6 a とメモリ 6 b が書き込み側、読み出し側の各スイッチにて書き込み、読み出し

が交互に切り換えられるようになっている。すなわち、フレームメモリ 5 は、書き込み側のスイッチにて、これらメモリ 6 a とメモリ 6 b とに切換可能に接続されているとともに、イメージプロセス部 7 も読み出し側のスイッチにてこれらのメモリ 6 a とメモリ 6 b とに切換可能に接続されていて、フレームメモリ 5 がメモリ 6 a とメモリ 6 b との一方に接続されているときには、該メモリ 6 a とメモリ 6 b との他方がイメージプロセス部 7 に接続されるように切り換えられる。すなわち、メモリ 6 a, 6 b は、フレームメモリ 5 とイメージプロセス部 7 との両方に同時に接続されることがないようにスイッチングされ、交互に書き込み、読み出しが行われるようになっている。

【0061】

フレームメモリ 5 に記憶されているフレーム画像の一部は、ブロック単位でライン方向に読み出され、一方のメモリ、ここでは例えばメモリ 6 a に記憶される。

【0062】

これと並行して、メモリ 6 b からは、既にフレームメモリ 5 から読み出されて記憶されているブロック単位の画像データが、列方向（縦方向）に順に読み出されて、イメージプロセス部 7 へ出力される。

【0063】

フレームメモリ 5 からメモリ 6 a への書き込みと、メモリ 6 b からイメージプロセス部 7 への読み出しが終了すると、書き込み側のスイッチおよび読み出し側のスイッチが切り換えられて、次に、フレームメモリ 5 からメモリ 6 b へ次のブロック単位の画像データの書き込みが開始されるとともに、メモリ 6 a からイメージプロセス部 7 へのブロック単位の画像データの読み出しが開始される。

【0064】

第 2 データ順序変換部 9 も、図 26 (b) に示すように、上記第 1 データ順序変換部 6 とほぼ同様に構成されていて、ほぼ同様に動作するようになっている。

【0065】

すなわち、第 2 データ順序変換部 9 は、メモリ 9 a, メモリ 9 b と、書き込み側スイッチ、読み出し側スイッチとを有して構成されている。

【0066】

そして、該第2データ順序変換部9の動作時には、歪補正処理部8からの書き込みがメモリ9aとメモリ9bとの一方に対して列方向（縦方向）に行われ、メモリ9aとメモリ9bとの他方からは行方向（横方向）に読み出しが行われて、JPEG処理部10へ出力されるようになっている。

図6は、図2における歪補正処理部8の詳細な構成を示している。

図6の各部と図2の各部との対応関係を説明する。図6における補間位置算出回路22が図2の補間位置生成部811に、セクタ24が図2のセクタ813に、歪補正係数補正回路21及び補間位置補正回路23が図2の歪補正座標変換部812に、それぞれ対応している。また、図6における2ポートSRAM26が図2の内部メモリ部82に対応し、書込みアドレス生成回路28、バッファ空き容量監視回路29、データ送信可否判定回路30、バッファ開放量算出回路31及び読出しアドレス生成回路25が図2のメモリ制御部83に、補間回路27が図2の補間演算部84に、それぞれ対応している。エラー検出回路32は、図2には図示していないがメモリ制御部83に接続して設けられている。エラー検出回路32は、歪補正処理において歪量が大きくなり後述するpreULB、postULBの設定値を越える歪が発生したときに、エラー（ERROR）としてCPU4に伝える機能を有するものである。

【0067】

補間位置算出回路22は、歪補正処理部8の後段回路からのリクエストに応じて後段回路へグラント（リクエスト受付）を返したときにそのグラントをトリガとして、1ユニットライン（以下、1ULという）分の補間位置（X1, Y1）を算出するものである。ここで、1ULとは、前述したブロックライン処理において、メモリ部への書き込み、読み出しの際に、列方向に一系列に並んだ一定数分の画像データを書き込んだり、読み出したりする際の1単位である。つまり、1ULは、ブロックライン（BL）上の列方向に一系列に並んだ一定画素数のデータを指している。

【0068】

補間位置補正回路23は、歪補正係数算出回路21からの歪補正係数Fを補間

位置 (X1, Y1) に乗算して、歪補正前の元データの座標位置 (X', Y') を計算する。セクタ 24 は、(X1, Y1) と (X', Y') を選択するもので、歪補正を行う場合は (X', Y') を選択して出力し、拡大・縮小処理 (リサイズ) のみを行う場合は (X1, Y1) を選択して出力する。

【0069】

2ポートSRAM26は、歪補正処理部8内におけるデータを格納するバッファである。

【0070】

読出しアドレス生成回路25は、補間位置に対応する2ポートSRAM16内のアドレス (ADR) を生成したり、2ポートSRAM26からの出力を整列するための制御信号を出力したり、出力画像データに同期して書き込み制御信号WE_Nを出力したり、図7及び[式2]に示すD0が2ポートSRAM上のどこの位置かを知らせるデータ列制御信号を出力したりする。

【0071】

書き込みアドレス生成回路28は、書き込み制御信号WEに合わせて内部メモリである2ポートSRAM26のアドレス (ADDRESS) を生成したり、1UL分のデータ入力が完了したら、その内部カウンタ (BLC) をカウントアップする。

【0072】

データ送信可否判定回路30は、BLC値、本回路の動作状態、次のUL先頭座標、歪補正処理部8の後段回路からのリクエスト (REQ) 状態とから、後段回路からのREQ信号に対してグラント (GRANT_N) を送信できる状態にあるかを判定し、グラント送信可能ならGRANT_N = 1とする機能を有する。

【0073】

補間回路27は、補間位置に対応する画像データにつき、16点補間を行う。バッファ開放量算出回路31は、現在処理中のUL先頭座標と、次に処理予定のUL先頭座標の整数部の差をバッファ開放量 (図17参照) として算出する。

【0074】

バッファ空き容量監視回路29は、内部バッファとしての2ポートSRAM26に格納されているデータ (UL) 量を保持し、バッファに空きがあれば、歪補

正処理部 8 の前段回路に対してリクエスト (REQ=1) を送信する。

【0075】

次に、図 6 の歪補正処理部 8 の回路動作を説明する。

まず、内部メモリ部 (バッファ) である 2 ポート S R A M 2 6 に空きがある場合、バッファ空き容量監視回路 2 9 から前段回路に対してデータ要求としてのリクエスト (R E Q) を送信すると、バッファ空き容量監視回路 2 9 は前段回路からリクエスト受付としてのグラント (G R A N T) を受信し、この受信と同時に 2 ポート S R A M 2 6 に格納可能な U L 数を記憶するカウンタ (回路 2 9 内にある) を 1 つ減らす。1 回のリクエストとグラントで 1 U L を一動作単位としてデータ転送する。上記カウンタが 0 になったらリクエストを取り下げる。

【0076】

そして、前段回路から書込みアドレス生成回路 2 8 へデータが流入し、2 ポート S R A M 2 6 への書込みが行われる。1 U L 入力毎に書込みアドレス生成回路 1 8 の内部カウンタ (B L C) がアップする。

【0077】

2 ポート S R A M 2 6 は、補間回路 2 7 にて例えば 1 6 点補間を行えるように、図 8 の如く読出しと書込みが同時に行える 2 ポート S R A M が 4×4 の計 1 6 個で構成されている。

【0078】

ここで、図 8 を用いて、2 ポート S R A M 2 6 を説明するが、メモリの数や各メモリの大きさは異なっても構わない。例えば、図 8 では、ブロックラインの幅 (U L の長さ) を 9 6 としているが、もっと長くしても短くしても構わない。回路規模と補正性能とのバランスで決めればよい。また、 4×4 (計 1 6 個) も、4 点補間であれば 2×2 (計 4 個) で構わない。補間方式 (何点で補間するか) に合わせて決めればよい。

【0079】

図 8 は、1 6 個の 2 ポート S R A M からなるメモリ空間で、横方向は入力される U L 順であるが、縦方向は各 2 ポート S R A M ごとに付したアドレスである。N を整数とし、処理のある時点での状態を説明する。縦方向に並んだ 4 つの各 2

ポートSRAMであるNo. 0, 4, 8, 12に格納するデータは、 $4N$, $4N+4$, $4N+8$, $4N+12$ 番目のULのデータであり、No. 1, 5, 9, 13に格納するデータは、 $4N+1$, $4N+5$, $4N+9$, $4N+13$ 番目のULのデータであり、No. 2, 6, 10, 14に格納するデータは、 $4N+2$, $4N+6$, $4N+10$, $4N+14$ 番目のULのデータであり、No. 3, 7, 11, 15に格納するデータは、 $4N+3$, $4N+7$, $4N+11$, $4N+15$ 番目のULのデータである。

【0080】

横方向に並んだ4つの各2ポートSRAMであるNo. 0, 1, 2, 3及びNo. 4, 5, 6, 7及びNo. 8, 9, 10, 11及びNo. 12, 13, 14, 15の各組についても同様に格納されている。

【0081】

図9を使って、各2ポートSRAMにデータが書き込まれる様子を説明する。図9では、図9(a)に示すように、幅8ライン（画素）のブロックラインを想定しており、データは、UL単位に「1, 2, ..., i, m」、「5, 6, ..., j, n」、「9, 10, ..., k, o」、...という順序で入力される。図9(b)は同図(a)に示した書き込み順番のデータが 4×4 の16個の2ポートSRAM No. 0~No. 15上のどこに書き込まれていくかを示している。例えばNo. 0, No. 4, No. 8, No. 12には、図9(a)の左側縦一列の1UL分の画像データ（順番1~mで示されるデータ）が分散されて格納されていく。なお、図8に示される縦方向の2ポートSRAM No. 0, No. 4, No. 8, No. 12の各縦ラインごとに付された表記0~92, 1~93, 2~94, 3~95は、図9(a)で示される各ユニットライン（1~m..., 5~n..., 9~o..., ...）の表記とは異なっている。これは、図9(a), (b)では、 4×4 の16個の画像データにつき書き込み順が分かるように1~16, a~p, A~P, ...と16個の塊ごとに符号を付してあるためである。図8の場合はその縦方向の2ポートSRAM No. 0, No. 4, No. 8, No. 12の各縦ラインごとに付された表記は、縦方向の1つのULにおけるデータ順に相当する。2ポートSRAM No. 0, No. 4, No. 8, No. 12のそれぞれには1つのUL画素データNo. 0~95が交互に分散して記載されている。従って、図8の縦方向に並んだ4つの各縦ライ

ンには1つのユニットライン (UL) の画素順 (0~95) の何番目の画素であるかを示す表記が付されている。図8の2ポートSRAMのNo. 0の縦方向にはULの4の倍数の画素 (0, 4, 8...92) が格納しており、2ポートSRAMのNo. 4の縦方向にはULの (4の倍数) + 1の画素 (1, 5, 9...93) が格納しており、2ポートSRAMのNo. 8の縦方向にはULの (4の倍数) + 2の画素 (2, 6, 10...94) が格納しており、2ポートSRAMのNo. 12の縦方向にはULの (4の倍数) + 3の画素 (3, 7, 11...95) が格納してある。さらに、2ポートSRAMのNo. 1, 2, 3及びNo. 5, 6, 7及びNo. 9, 10, 11及びNo. 13, 14, 15の各組についても同様に格納してある。

【0082】

再び図8に戻って、1UL分のデータは縦方向に並ぶ4つの2ポートSRAMに1画素ずつ順に格納されている。最初のULデータはNo. 0, 4, 8, 12 (図8の4Nのライン) に書き込まれる。次のULデータはNo. 1, 5, 9, 13 (図8の4N+1のライン) に書き込まれる。図8のバッファ形態では、歪補正処理によって補間位置がどのように移動しても、バッファ内の任意の座標周辺16点を1回のアクセスで同時に抽出することができる構成としてある。

【0083】

データ送信可否判定回路30が後段回路からリクエスト (REQ_N) を受信し、次のULデータが送れる状態にあればリクエスト受付 (GRANT_N) を出力する。このリクエスト受付 (GRANT_N) は自分自身へのトリガとなり、補間位置算出回路22が動作を開始し、1UL分動作したら次のUL先頭座標を算出して終了する。

【0084】

補間位置算出回路22が動作開始して補間位置 (X1, Y1) を出力するのと同期するようにデータ送信可否判定回路30からは歪補正係数算出回路21へ動作トリガ (trig) を送る。歪補正係数算出回路21も補間位置算出回路22と同様、1UL分動作したら次のUL先頭座標を算出して終了する。

【0085】

読み出しアドレス生成回路25は、入力される補間座標から、2ポートSRA

M26の16個夫々に読み出しアドレスを発行する。

【0086】

次に、読み出し及び補間の方法について説明する。

補間方法を図7に示す。図7は補間回路27における補間演算のイメージ図である。補正座標位置Pの座標(X' , Y')は前出の[式1]で既に求めている。この座標における画素値(輝度データ)を求めるのに、座標P(X' , Y')の周辺16点の画素データD0~D15から求める。その内、D0が16個のメモリのどのメモリから来ているかが分かれば、D1, D2..., D15はD0に対する位置関係から分かる。後述するように、D0は補間位置の座標によって求まる。

【0087】

図10は16個の2ポートSRAMからなるバッファからの読み出し例を示している。今、補間位置(X' , Y')が $X' = 10. \dots$, $Y' = 50. \dots$ (...は小数点以下の数字)とすると、 $X' = 10. \dots$ は($4 \times 0 + 10$)以上であるから、横方向には2ポートSRAMの $4N + 10$ 番目のULより若干右側に補間位置が来る。 $Y' = 50. \dots$ は($4 \times 12 + 2$)以上であり、 $4N + 10$ 番目のULで、50番目の画素が格納されているメモリ(N o. 10)が図7における画素D5を出力するので、D0を出力するメモリは、その左上にあるN o. 5となる。

【0088】

図7のD0~D15に対応する画素データは図10の○部であるので、それらが出力されるようにアドレスを生成する。

【0089】

N o. 0から出力される画像データがD0には対応しない。図10の例では、N o. 5からの出力がD0に対応する。このため、どのメモリからどのデータが出力されているかを識別するため、読み出しアドレス生成回路25からデータ列制御信号を出力し、これによって、補間演算を行う補間回路27はD0が2ポートSRAM26のどこから出ているかを認識して16点補間を行う。

【0090】

画素データD0~D15が分かれば、[式2]の補間式による補間処理を行うことによって、補正座標位置の画素データをDoutとして求めることができる。

【0091】

【式2】

$$\begin{aligned}
 \text{Dout} = & k_{x0} (k_{y0} D_0 + k_{y1} D_4 + k_{y2} D_8 + k_{y3} D_{12}) \\
 & + k_{x1} (k_{y0} D_1 + k_{y1} D_5 + k_{y2} D_9 + k_{y3} D_{13}) \\
 & + k_{x2} (k_{y0} D_2 + k_{y1} D_6 + k_{y2} D_{10} + k_{y3} D_{14}) \\
 & + k_{x3} (k_{y0} D_3 + k_{y1} D_7 + k_{y2} D_{11} + k_{y3} D_{15})
 \end{aligned}$$

最後のULデータ出力の後、バッファ開放量算出回路31は今処理し終わったUL先頭座標と次のUL先頭座標との差を計算し(図17参照)、必要なくなったデータの蓄積されているバッファを開放するため、バッファ開放量をバッファ空き容量監視回路29へ出力する。ただし、歪中心を跨ぐ時のバッファ開放量は、図16(b)に示すようにpostULB1, postULB2の値変化も考慮した量を開放することが好ましい。図16(a)に示すpreULB、postULBとは、ULを形成する画素のうち、最初の画素の座標位置に対して、行方向に対して前側及び後側に所定幅の領域を設けたもので、これらをそれぞれpreULB、postULBと定義している。歪中心を跨いだ時はバッファ開放量を通常のUL先頭座標の差ではなく、参照値の変わるpostULB(ULB: Unit Line Bufferの略、ユニットラインバッファ)の変化量を参照してバッファ開放量を調節する(調整量は、postULB1 - postULB2で、図16(b)参照)。

【0092】

(UL先頭座標の差) + (調整量) がマイナスになる場合は、マイナス値を記憶しておく。処理が進んでバッファ開放量がマイナス値を超えるまでバッファの開放を行わない。

【0093】

前述のバッファ開放量の算出と共に、バッファ開放量算出回路31は次のUL処理にあとどれだけ前段回路からデータが必要かをデータ送信可否判定回路30へ送信する。

【0094】

バッファ空き容量監視回路29は前述のバッファ開放量の算出によってバッフ

ァに空きができたなら、前述の前段回路へのリクエストを行う。

【0095】

データ送信可否判定回路30は書込みアドレス生成回路28の内部カウンタ（BLC）とバッファ開放量算出回路31からの入力とpreULB値とに基づいて、次のULデータを送れるかどうかを判断する。データ送信可否判定回路30は、後段回路のリクエストに対してリクエスト受付（GRANT_N）を返す。

【0096】

エラー検出回路32は、読出しアドレス生成回路25に入力される座標がブロックライン（BL）の左端（図11参照）や右端を逸脱したり、ブロックライン（BL）の上下端（図12参照）を逸脱したり、歪量がpreULB、postULBの設定値を逸脱（図13参照）した場合にエラーを出力する。これらのエラーの出力は、座標を判別して出力することになる。図11及び図12の場合には、エラーを出力するが、処理は継続する。図13の場合も、エラーを出力するが、処理は継続する。図13のpreULB、postULBの場合については、エラーを出力するだけでなく、逸脱した量を記憶し、レジスタに設定してCPU4がデータとして取得できるようにしておく。

【0097】

このように、ブロックライン処理で、出力側の画像に対して入力側の画像を補間算出しているときに入力画像の範囲からはみ出すようなときがある。その場合、入力範囲にデータがない部分で補間データを生成することになり、エラー検出回路32から補間ができない旨のエラーを出力することになる。

【0098】

図14にあるように、歪の中心座標に対して、画像の歪み方は対照的になる。また、歪みは一般的に中心に近いほど小さく、離れるほど大きくなる。そこで、BLの両端にあるULの変形を考慮し、バッファを確保すれば、全てのULにおいて、補間処理でデータが不足することは通常はない。そこで、補間する最初の座標（図ではブロックラインBL内の画像データの一番上の×印にて示す先頭座標）に対して前方（図示右側）に所定の領域preULBを、後方（図示左側）に所定の領域postULBを設ける。

【0099】

サポート機能については、本願と同日に出願した特願 2003-202493 号において、「歪補正範囲算出部」と称する部分に該当する。図 27(a)において、注目領域が BL となるが、歪補正の座標変換で同図(b)のように変形される。このとき、 X'_{TL} , Y'_{TL} , XL_{min} , XL_{max} から $preULB1/postULB1$ が決められる (図 16(a)参照)。同様に、 X'_{TR} , Y'_{TR} , XR_{min} , XR_{max} から $preULB2/postULB2$ が決められる。

【0100】

さらに、UL 処理において、歪の中心を通過すると、光学的歪の曲がり方が逆方向となる。すると、図 14 のように、歪中心の左右では $preULB$ 、 $postULB$ の値が異なる。この値を、左右どちらにも対応できるよう、図 15 のように右側で最も大きい $postULB$ を採用し、左側で最も大きい $preULB$ を採用すると、左側又は右側の一方側の処理のときに必要もないのにもう一方側のデータを大きく (すなわち、バッファを広く) 確保しておかなければならず、バッファの無駄である。

【0101】

そこで、 $preULB$ と $postULB$ で予め同じ大きな値で両方決めておくのではなくて、 $preULB$ と $postULB$ を変数としてそれぞれに値を入れるようにする。歪の中心座標を過ぎたら、これらの値を変えてやって確保量を変えるようにする。すなわち、歪中心前後で $preULB$ 、 $postULB$ を変化することにより、内部バッファの使い方に無駄をなくし、小さなバッファで比較的大きな歪補正を行える。

【0102】

pre 、 $postULB$ をレジスタ 85 に設定するが、それらの値を生成するためには、歪の変形を考慮して画像データの入力範囲を算出可能とするサポート機能が必要となる。このサポート機能は、歪補正処理部 8 の歪補正処理機能に付加するなどして設ければよい。メモリ制御部 83 は、1 UL 処理中は他の処理によって前記領域 $preULB$ 、 $postULB$ が上書きされないように制御する。前記領域 $preULB$ 、 $postULB$ の設定は、CPU 4 からレジスタ 85

(図2参照)に設定しても構わないし、CPUで自動的に計算をして設定してもよい。

【0103】

歪補正処理において16点補間すると前に述べたが、図16(a)に示すように、歪補正によって補間位置は1UL処理の間に a （ただし、 $a > 0$ ）だけ動き得る。16点補間する関係上、入力画像範囲としてはpre側，post側とも上記間隔 a に、補間に必要な画素分の間隔 bL ， bR を加えた範囲が必要となる。

【0104】

歪中心を越えると、pre，postULBの値を変えることで、バッファを必要最小限に絞る。また、前述の「歪補正算出部」で、補間分を考慮して結果を出力させてもよい。

【0105】

歪補正処理部8の持っている内部バッファ82は、図8の場合、最大で縦96画素の横に16ライン（画素）である。これを使って歪補正していくことになる。ブロックライン処理のデータは少なくとも1ULずつ図示右方向にスワイプしていく。一気に数UL開放されることもあるので、必ずしも1ULずつスワイプするわけでない。内部バッファ82は、はじめは空の状態からスタートするので、16ライン分入ってきて、歪補正処理を行う。これらのユニットラインを処理していくと、左側のラインに不要なデータ（1から数UL分のデータ）が生じることになる。なお、処理したら必ず不要になる訳ではなく、拡大率が高い時は不要になるまで数ULかかることもある。不要なデータ分はバッファを開放（すなわち、上書き許可）していった新しいデータを入れていくことにする。スワイプしていく画像は右側にずれていく。最大16ライン読み込めるサイズしかないで、要らなくなったデータ領域は開放して新しいデータを順次上書きしていくようにする。不要となったバッファ領域は全て一気に開放してしまう。その開放量は1ラインであるかもしれないし、5ラインであるかもしれない。例えば、はじめの3ライン分のデータがバッファに入っていたものを以降の処理に不要であるので開放してしまつて次のデータを受け付けるようにして、次のデータが上書きされる。

【0106】

ところで、1UL処理が終わった後に開放できるバッファの量は、次のUL先頭座標が決まらなければ分からない(図17参照)。内部バッファは小さいので、使わなくなったデータが格納されている部分をできるだけ早くに開放する為、次のUL先頭座標を算出して開放量を取得し、バッファを開放することで内部バッファを有効に利用できるようにする。ところが、歪補正に対して後段の回路ブロックからリクエストが来てそれに対するグラントを返して1ULのデータを後段へ出力し、また次のリクエストが来てからグラントを返した後、座標を求めてというように動作させると、バッファの開放が遅れ、これに伴って、新しいデータの取り込みも遅れ、結果として、パイプライン動作に長い空きができてしまうことが起こり得る。そこで、図18に示すように先の歪補正処理(図示の座標1~nの処理)を行っている段階で、後段の回路ブロックからリクエストに関係なく、座標nの処理が終わったら次の先頭座標n+1を演算して開放量を求め、バッファを早期に開放してしまう。これにより、前段回路ブロックから新たなデータ入力が比較的早く行なわれ、パイプラインの空きを詰めることができる。しかしながら、図18の場合であると、座標nの処理をした後、画素n+1の座標を計算してから処理を終了するので、図19のようにバッファ内に次のUL処理に必要なデータが揃っているのに、後段からのリクエストが連続するとパイプラインに空きが生じる。依然としてパイプラインの空きは存在するので、リクエストが連続した時は、装置全体の動作速度に悪影響を及ぼす恐れがある。

【0107】

そこで、図18の改善策として、図20のように、なるべく早くに次の座標が決まってバッファの開放量を求める方法がある。図18のように一番最後に次の先頭座標を求めるよりももっと早い段階で次のUL先頭座標を取得しておき、必要なデータが揃っていると判断されたら、次のUL処理を連続して行うことで処理の空きを小さくする。すなわち、1UL処理が終了する前にULのデータをレジスタ等に保持しておいて、次のULの先頭の座標位置を算出することで、予め次のUL処理の開放量を求めておく。図20では、先の歪補正処理(図示の座標1~nの処理)の2画素目に次のULの先頭座標を求めておいてバッファ開放量

を早い段階で取得する。これによって、バッファの開放を早くすることができ、図 21 に示すように図 19 に比べてパイプラインの空きをかなり少なくできる。しかしながら、回路的に複雑となり、制御も困難となる問題点がある。

【0108】

そこで、図 20 をさらに改善したのが、図 22 である。図 22 では、現在処理中の UL が終わった時に開放する量（開放量 1）は前の UL 処理中に既に分かっている。座標 n を算出した後、2 つ先の UL 先頭座標を計算し、次の UL 処理が終わった時に開放できる量（開放量 2）を予め求めておく。このようにすると、図 20 の場合のように UL 処理中に例外的な座標生成（座標 2 の生成）を行う必要がない。このように、次の UL の先頭ではなくて次の次の 2 つ先の UL の先頭座標を求めておけば、図 20 のような例外的な処理がなくなるので、回路的には簡単になる。

【0109】

【発明の効果】

以上述べたように本発明によれば、バスの転送量やメモリの容量を大きく増大させることなく、歪補正を実現することができる。すなわち、小さなバッファ容量で比較的大きな歪補正処理を行うことが可能となる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態の画像処理装置の全体構成を示すブロック図。

【図 2】

歪補正処理部の構成を示すブロック図。

【図 3】

歪補正処理部における座標変換の概念図。

【図 4】

陣笠型歪を示す図。

【図 5】

入力画像データを示す図。

【図 6】

歪補正処理部の詳細な構成を示すブロック図。

【図 7】

補間回路における補間演算のイメージ図。

【図 8】

歪補正処理部における内部メモリ部を説明する図。

【図 9】

図 8 の補足説明をする、書き込み順番を示す図。

【図 1 0】

図 7 の補正座標位置を算出するのに必要な D0 を求めるための説明図。

【図 1 1】

エラー処理例を示す図。

【図 1 2】

他のエラー処理例を示す図。

【図 1 3】

他のエラー処理例を示す図。

【図 1 4】

歪補正処理に要するバッファ量について説明する図。

【図 1 5】

歪補正処理に要するバッファ量について説明する図。

【図 1 6】

歪補正処理に要するバッファ量について説明する図。

【図 1 7】

U L 処理に伴う開放量の算出方法について説明する図。

【図 1 8】

U L 処理に伴う開放量の算出方法について説明する図。

【図 1 9】

図 1 8 の処理に伴うパイプライン処理の空きについて説明する図。

【図 2 0】

U L 処理に伴う開放量の算出方法について説明する図。

【図 2 1】

図 2 0 の処理に伴うパイプライン処理の空きについて説明する図。

【図 2 2】

U L 処理に伴う開放量の算出方法について説明する図。

【図 2 3】

格子状の被写体、樽型歪を生じた撮影画像、糸巻き型歪を生じた撮影画像を示す図。

【図 2 4】

一般的なデジタルカメラの画像処理手順の概念、及び従来のデジタルカメラの画像処理装置におけるブロック構成を示す図。

【図 2 5】

本発明に係る実施の形態におけるフレームメモリからの画像データの読み出し順序を説明する図。

【図 2 6】

本発明に係る図 1 の第 1，第 2 データ順序変換部の構成を示すブロック図。

【図 2 7】

歪補正範囲算出部における、歪補正処理を行う際の入力画像範囲を算出する動作を説明する図。

【符号の説明】

1 … C C D

3 … バス

4 … C P U

5 … フレームメモリ

6 … 第 1 データ順序変換部

7 … イメージプロセス回路

6 … 第 1 データ順序変換部

8 … 歪補正処理部（歪補正手段）

9 … 第 2 データ順序変換部

1 0 … J P E G 処理部

1 1 …メモリカード（記録媒体）

8 2 …内部メモリ部（バッファ）

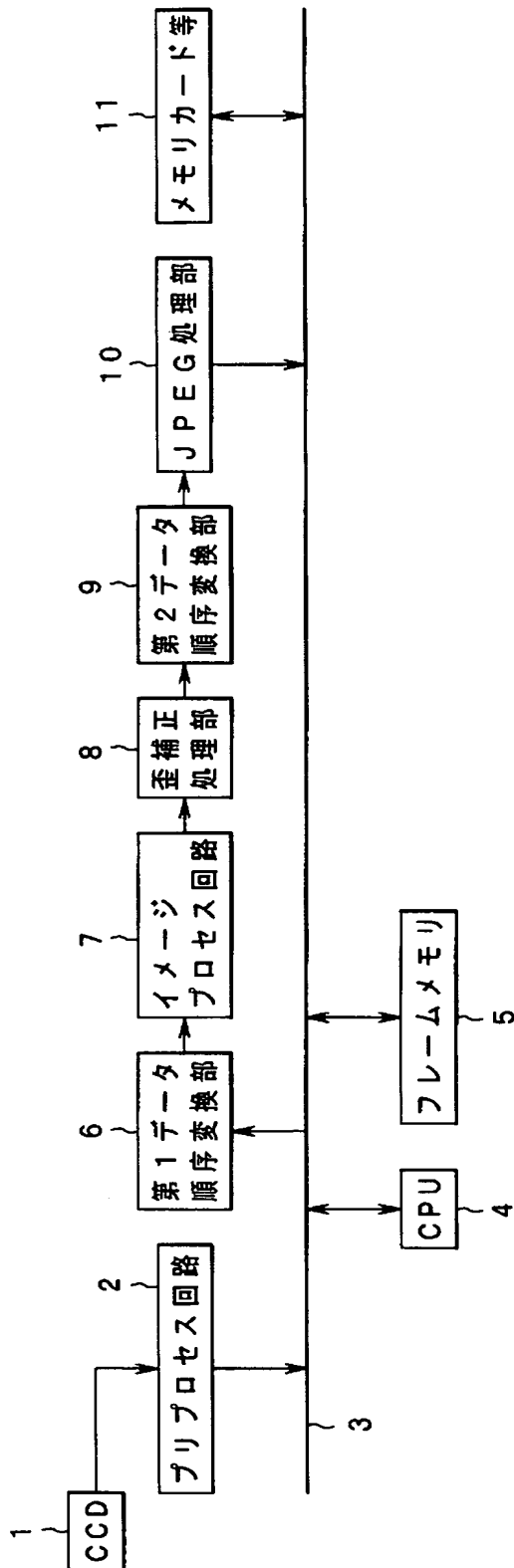
8 3 …メモリ制御部

8 5 …制御レジスタ

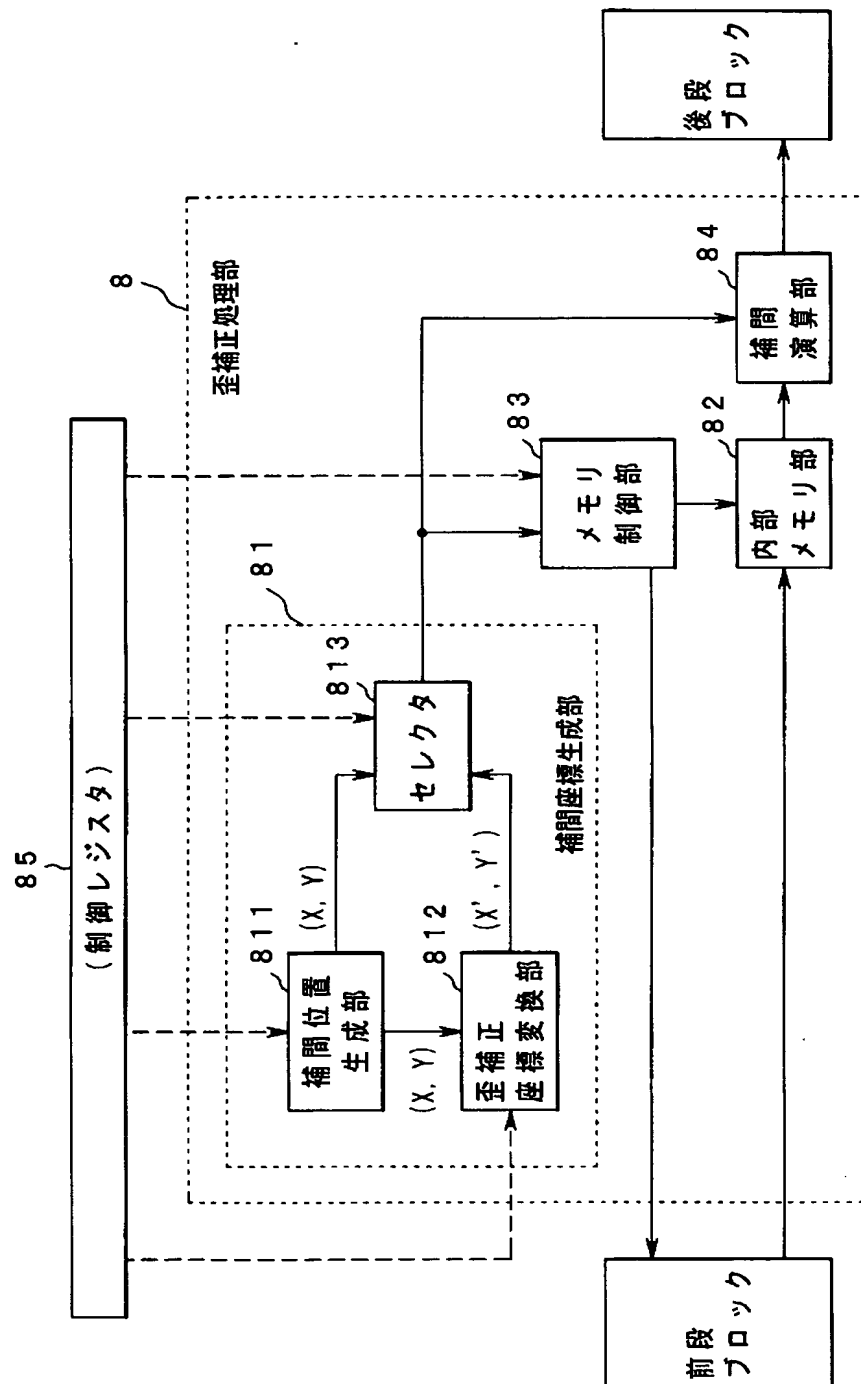
代理人 弁理士 伊 藤 進

【書類名】 図面

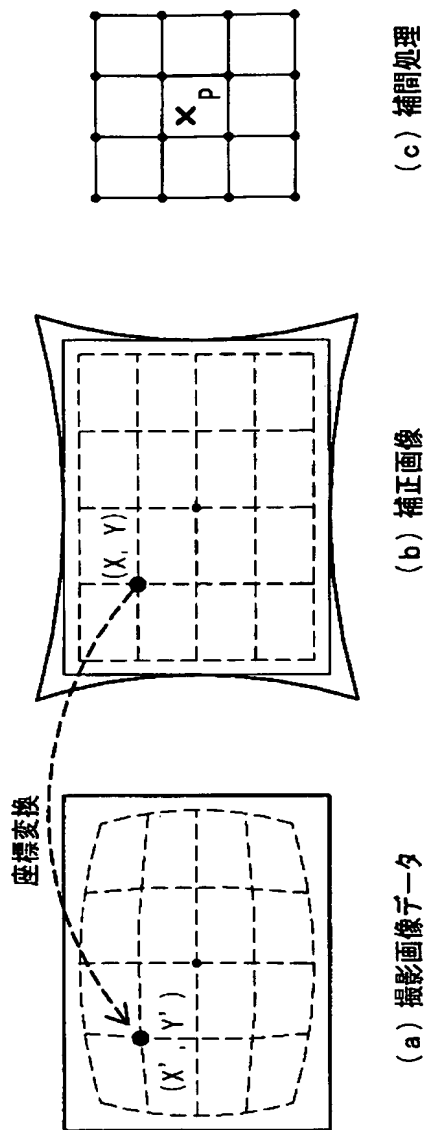
【図 1】



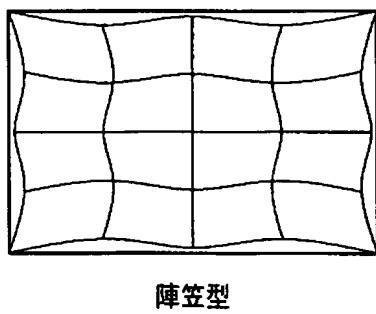
【図 2】



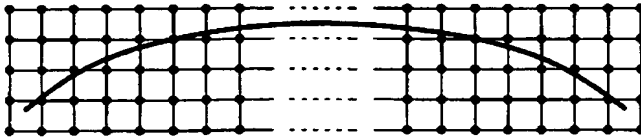
【図 3】



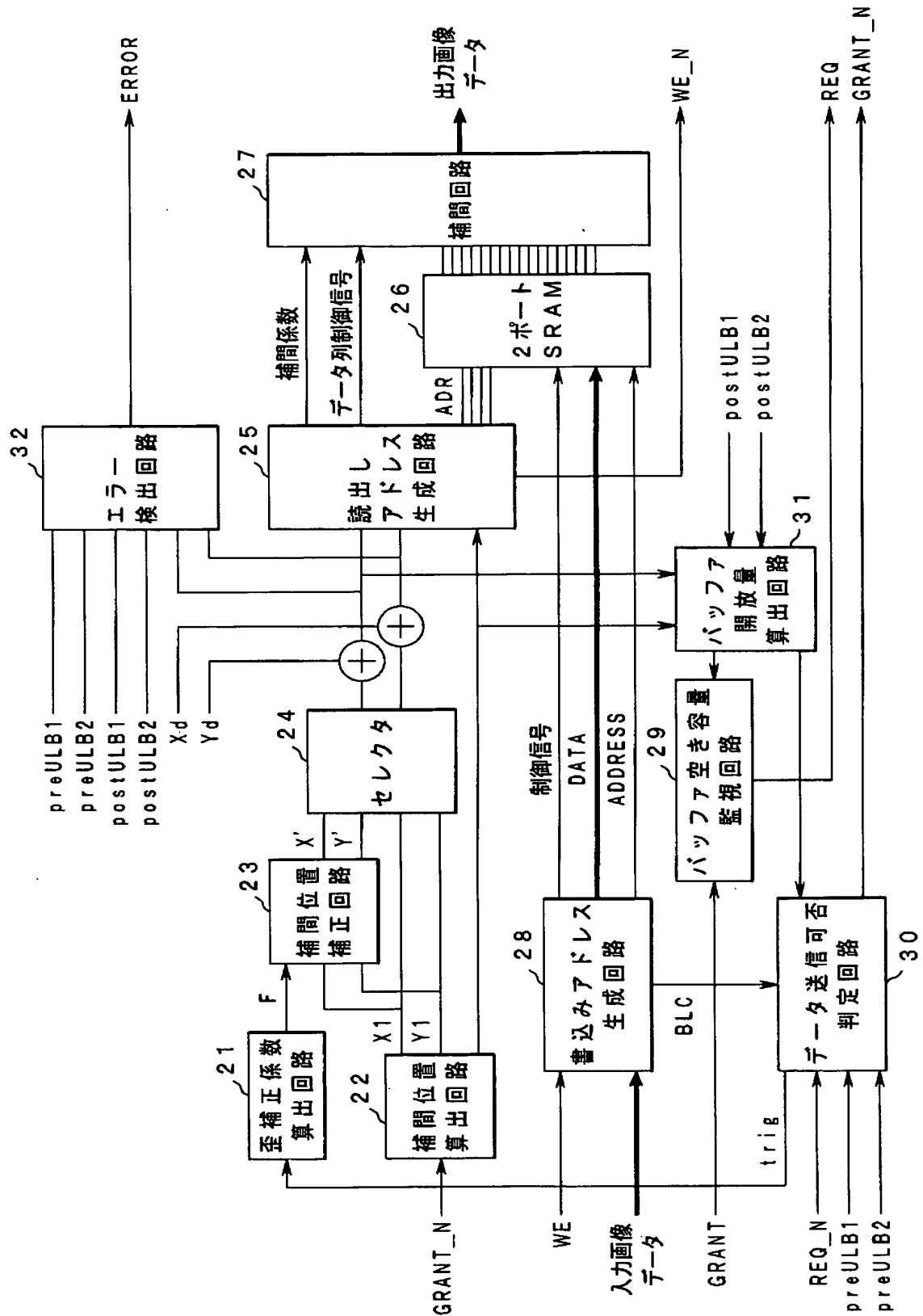
【図 4】



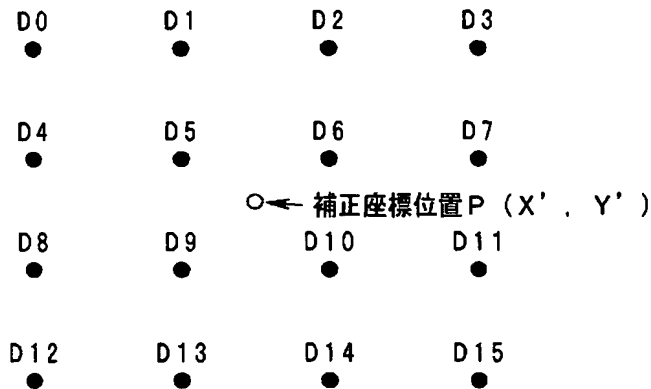
【図 5】



【図6】



【図 7】

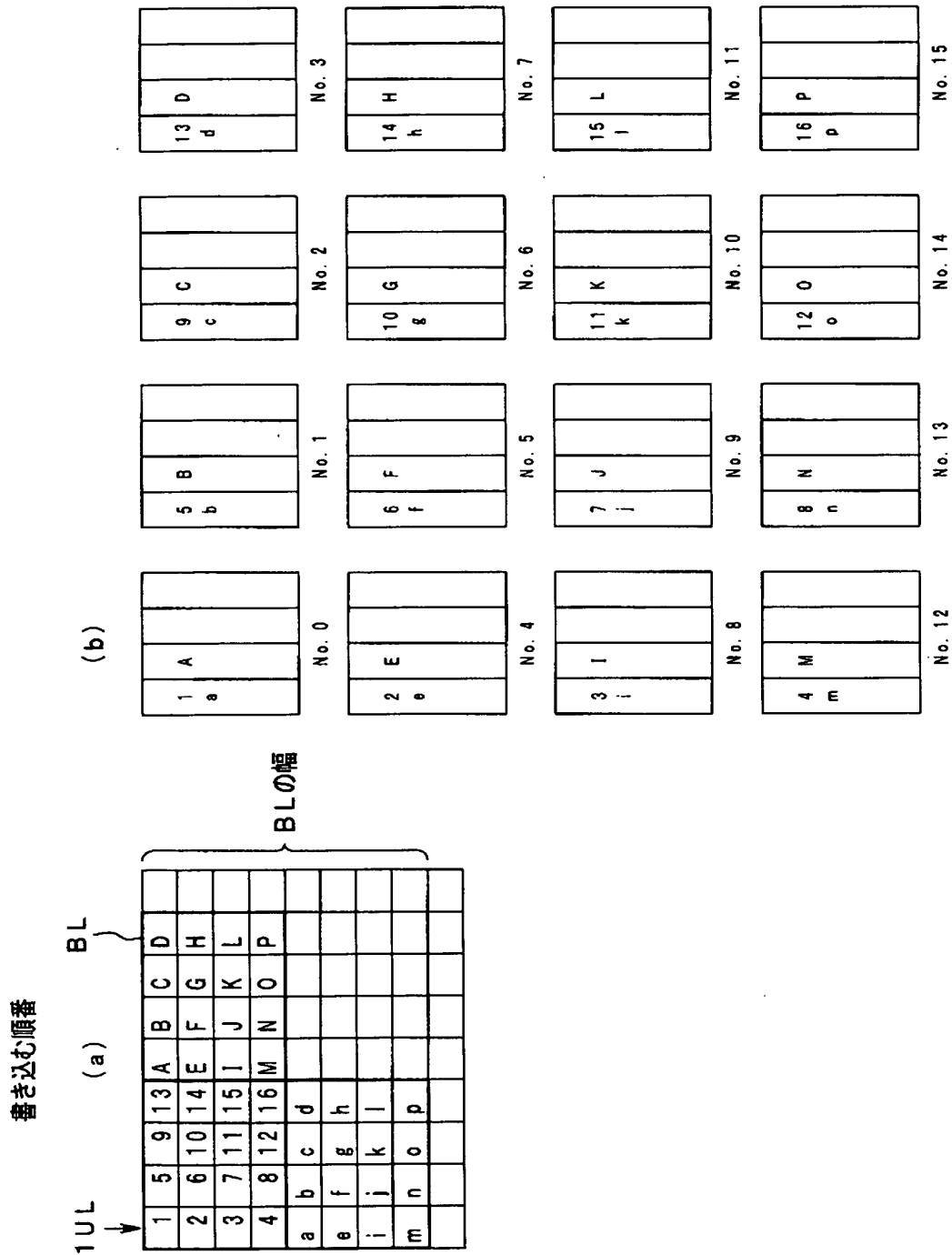


【図 8】

入力されるULの順 (N: 整数)

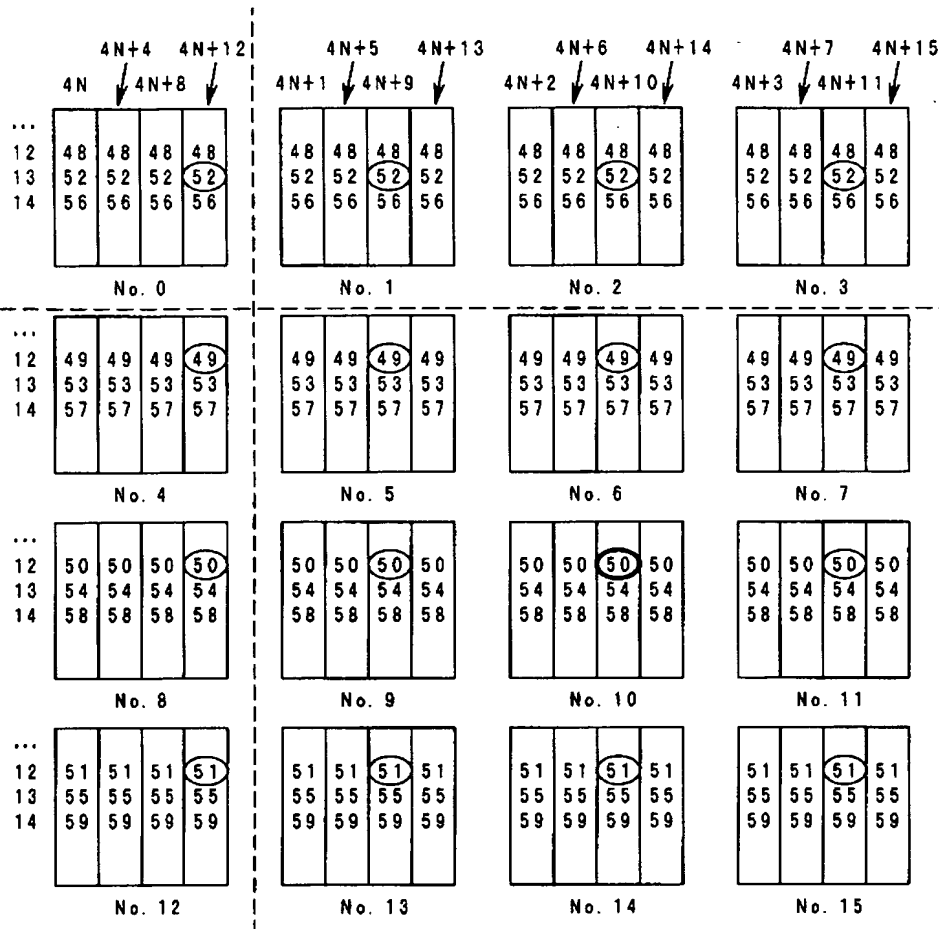
		4N+4 4N+12				4N+5 4N+13				4N+6 4N+14				4N+7 4N+15			
アドレス	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	1	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4	4
	2	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8	8
	23	92	92	92	92	92	92	92	92	92	92	92	92	92	92	92	92
		No. 0				No. 1				No. 2				No. 3			
	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	1	5	5	5	5	5	5	5	5	5	5	5	5	5	5	5	5
	2	9	9	9	9	9	9	9	9	9	9	9	9	9	9	9	9
	23	93	93	93	93	93	93	93	93	93	93	93	93	93	93	93	93
		No. 4				No. 5				No. 6				No. 7			
	0	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2	2
	1	6	6	6	6	6	6	6	6	6	6	6	6	6	6	6	6
	2	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10
	23	94	94	94	94	94	94	94	94	94	94	94	94	94	94	94	94
		No. 8				No. 9				No. 10				No. 11			
	0	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3	3
	1	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7	7
	2	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11
	23	95	95	95	95	95	95	95	95	95	95	95	95	95	95	95	95
		No. 12				No. 13				No. 14				No. 15			

【図 9】



【図 10】

ex. 補間位置 = $(4N+10+\alpha_0, 50+\alpha_1)$ の場合 (α_* : 少数部)



各メモリへの読み出しアドレス

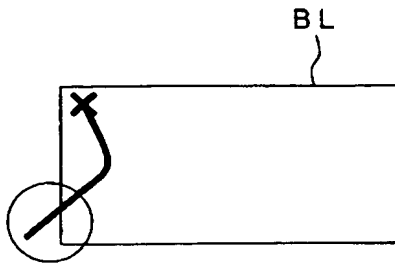
No. 5, 6, 7, 9, 10, 11, 13, 14, 15 : $60 (=24 \times 2 + 12)$

No. 4, 8, 12 : $84 (=24 \times 3 + 12)$

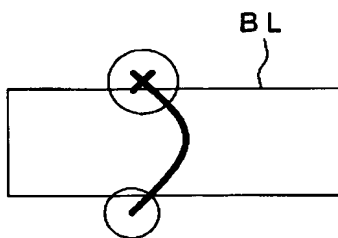
No. 1, 2, 3 : $61 (=24 \times 2 + 13)$

No. 0 : $85 (=24 \times 3 + 13)$

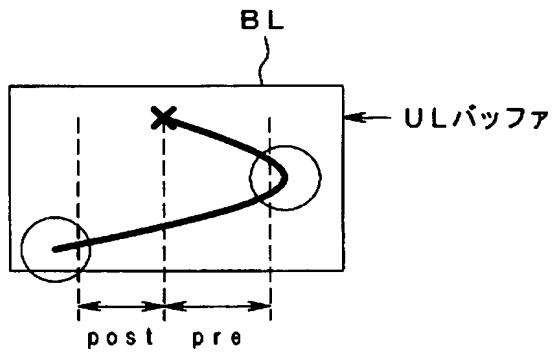
【図 1 1】



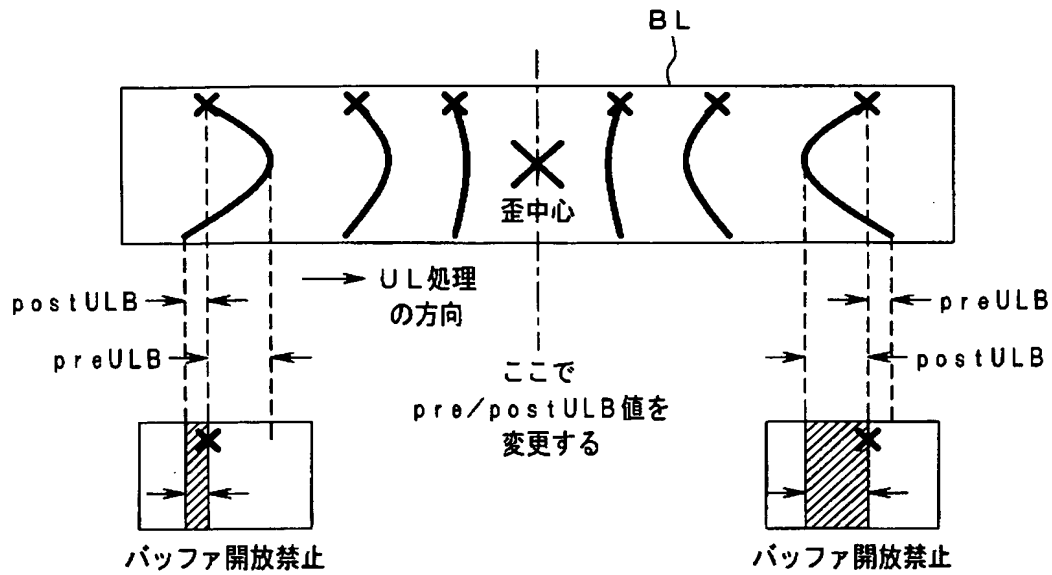
【図 1 2】



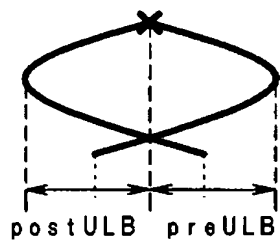
【図 1 3】



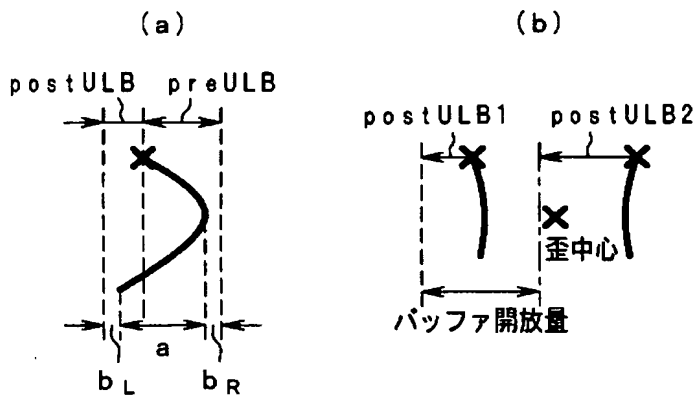
【図 14】



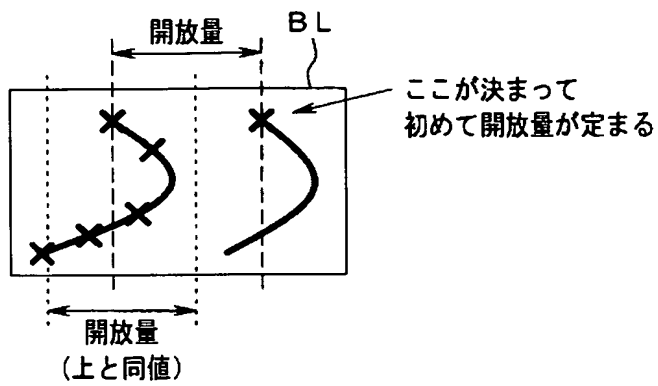
【図 15】



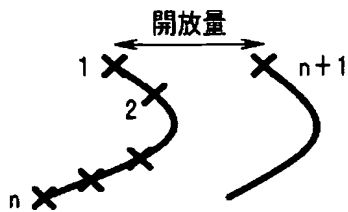
【図 16】



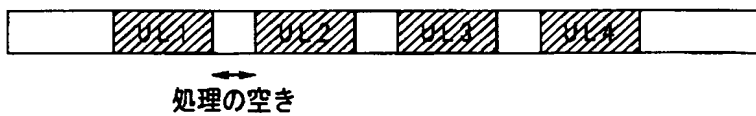
【図 17】



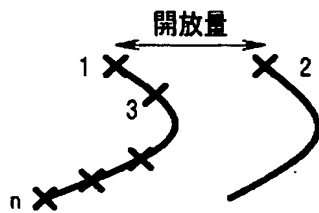
【図 18】



【図 19】



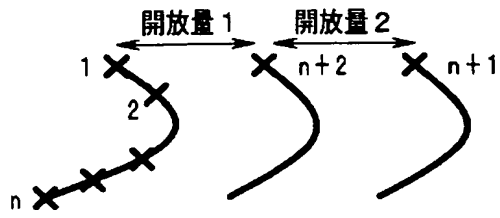
【図 20】



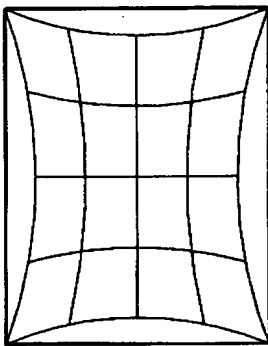
【図 21】



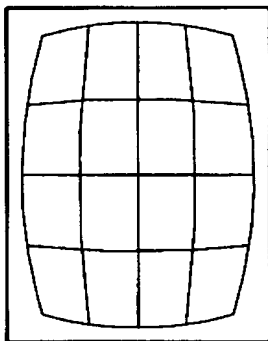
【図 2 2】



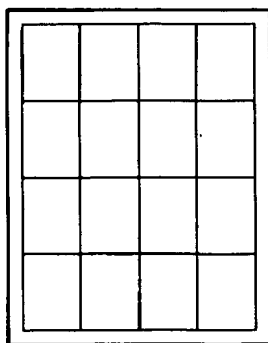
【図 2 3】



(c) 糸巻き型

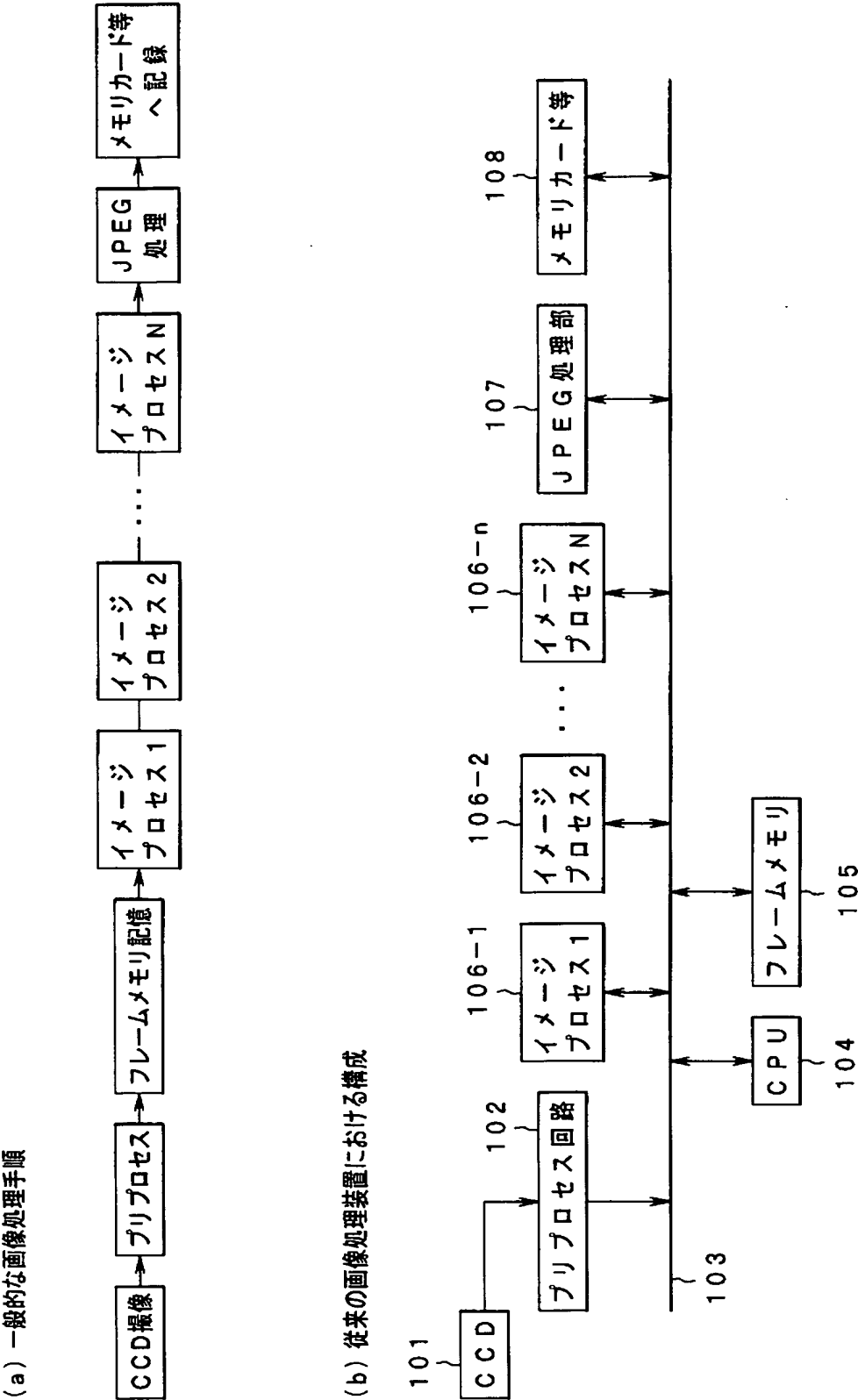


(b) 樽型

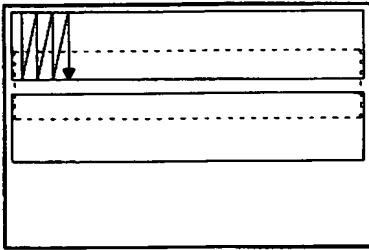


(a) 格子状の被写体

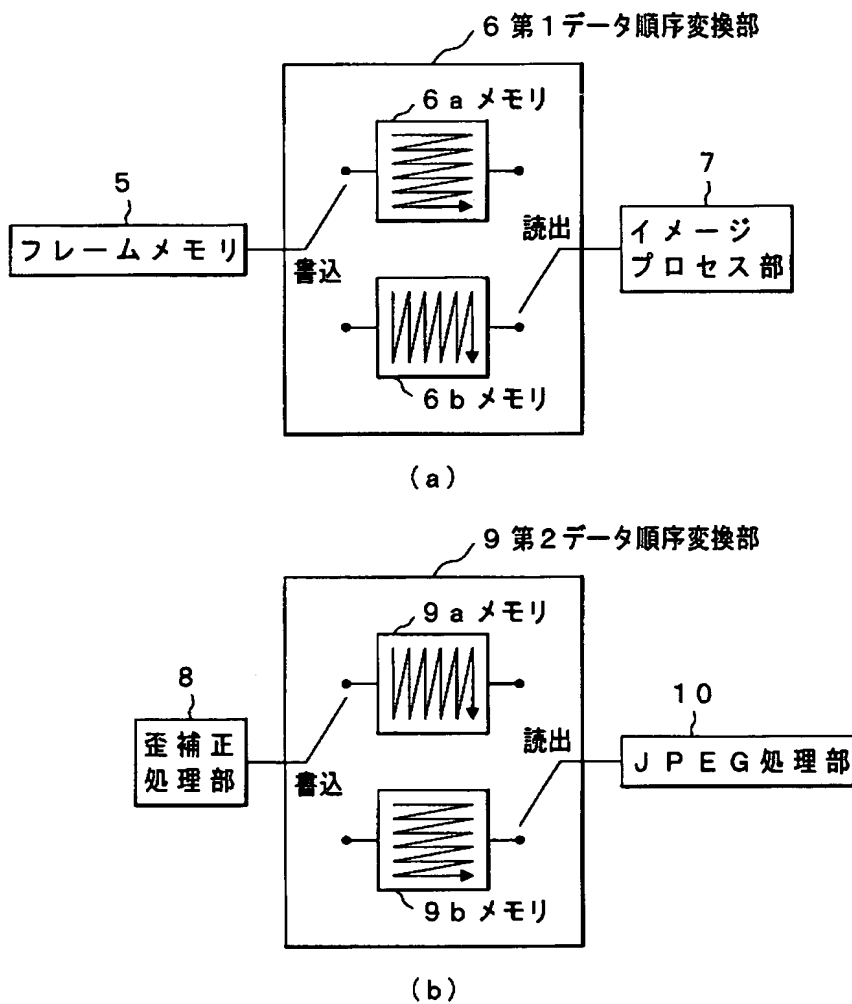
【図 24】



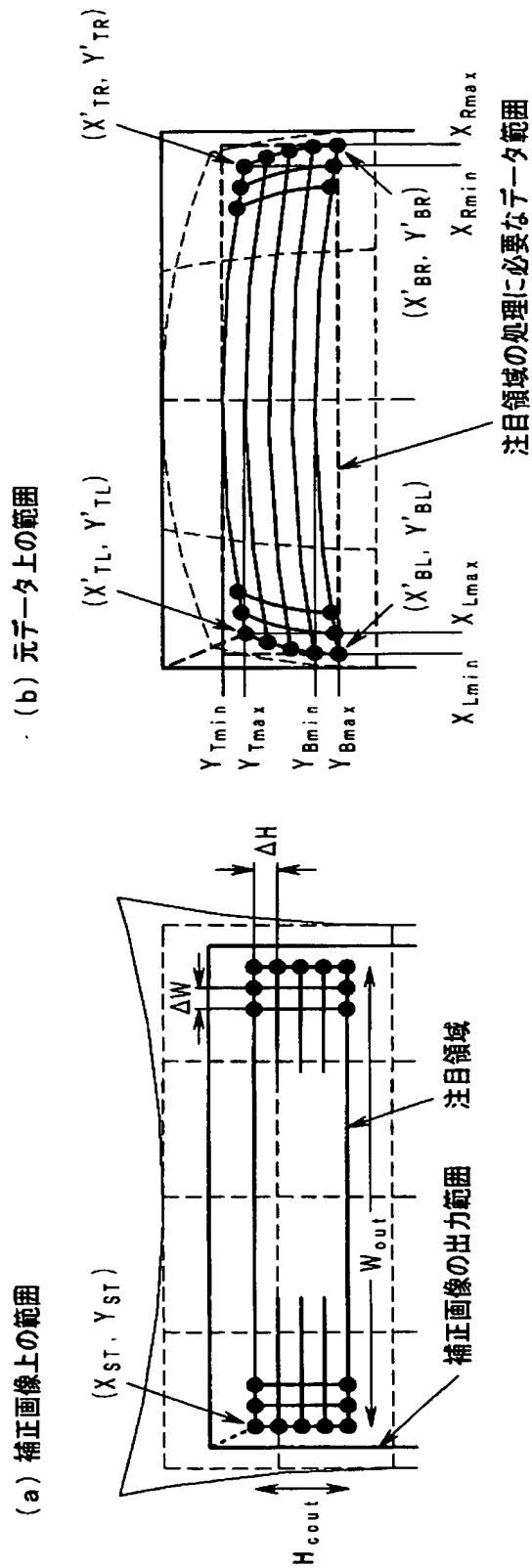
【図 25】



【図26】



【図 27】



【書類名】 要約書

【要約】

【課題】 バスの転送量やメモリの容量を大きく増大させることなく、歪補正処理を実現できる画像処理装置及び画像処理方法を提供すること。

【解決手段】 画像データに対して歪補正処理を行う歪補正処理部8を有する画像処理装置において、前記歪補正処理部8は、前記画像データの一部を格納するメモリ部83と、前記メモリ部に対するデータの書き込みおよび読み込みを制御するメモリ制御部83と、を有し、前記メモリ部82から読み出した画像データに対する補間演算を行うようにしたものである。この構成では、内部バッファとしてのメモリ部82に画像データの一部を格納して、そのデータを利用して歪補正処理のための補間演算を行うことができる。さらに、メモリ部82に対してULを単位として書き込み、読み出しを行うので、バスの転送量やメモリの容量を大きく増大させることなく、少ない容量で歪補正処理を実現できる。

【選択図】 図2

特願 2 0 0 3 - 2 0 2 6 6 4

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 0 3 7 6]

1. 変更年月日 1 9 9 0 年 8 月 2 0 日
[変更理由] 新規登録
住 所 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号
氏 名 オリnpas 光学工業株式会社
2. 変更年月日 2 0 0 3 年 1 0 月 1 日
[変更理由] 名称変更
住 所 東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号
氏 名 オリnpas 株式会社